



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07066801 A**

(43) Date of publication of application: 10 . 03 . 95

(51) Int. Cl.

H04L 7/08**H04L 1/00**(21) Application number: **05234051**(71) Applicant: **NEC CORP**

(22) Date of filing: 26 . 08 . 93

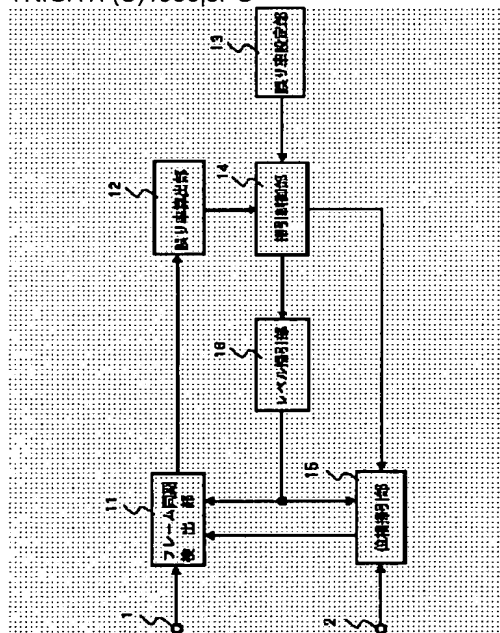
(72) Inventor: **NABESHI HARUYOSHI****(54) TRANSMISSION DATA SYNCHRONIZING SYSTEM****(57) Abstract:**

PURPOSE: To avoid in advance a data error attended by unestablishment of frame synchronization by controlling the start/stop of a sweep operation of a clock phase and a logic discrimination level based on the result of monitoring a line error rate with respect to the transmission data synchronizing system establishing frame synchronization of input transmission data to detect transmission data by a clock.

CONSTITUTION: A frame synchronization detection section 11 detects establishment of frame synchronization and a bit error number included on a frame synchronization code based on a clock from a phase sweep section 15 to provide an output of the bit error number. An error rate calculation section 12 integrates the bit error number and estimates and calculates a line error rate based thereon. A sweep control section 14 controls the start and stop of the sweep operation of the phase sweep section 15 and a level sweep section 16 in response to the comparison result between the line error rate and a setting value obtained from an error rate setting section 13. The level sweep section 16 sweeps a threshold level used for

logical discrimination of each input circuit of the frame synchronization detection section 11 and the phase sweep section 15.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66801

(43) 公開日 平成7年(1995)3月10日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|-----------|-----|--------|
| H 0 4 L | 7/08 | A 7741-5K | | |
| | 1/00 | C 9371-5K | | |

審査請求 有 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平5-234051

(22) 出願日 平成5年(1993)8月26日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 鍋師 晴佳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 松浦 兼行

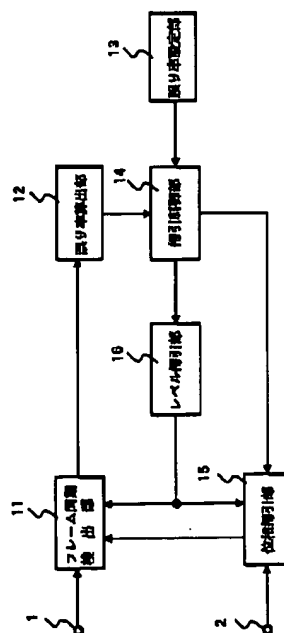
(54) 【発明の名称】 伝送データ同期方式

(57) 【要約】

【目的】 本発明はクロックにより伝送データを検出するために入力伝送データのフレーム同期を確立させる伝送データ同期方式に関し、回線誤り率の監視結果に基づいてクロックの位相と論理判定レベルの掃引を制御することにより、フレーム同期の不確立に伴うデータ欠損を事前に回避することを目的とする。

【構成】 フレーム同期検出部11は位相掃引部15からのクロックに基づきフレーム同期の確立とフレーム同期コード中に含まれるビット誤り数の検出し、ビット誤り数を出力する。誤り率算出部12はビット誤り数を積算し、それに基づき回線誤り率を推定算出する。掃引制御部14は回線誤り率と誤り率設定部13からの設定値との比較結果に応じて位相掃引部15及びレベル掃引部16の掃引動作の開始及び停止の制御を行う。レベル掃引部16はフレーム同期検出部11及び位相掃引部15の各入力回路の論理判定のスレッシュホルドレベルを掃引する。

本発明の一実施例のブロック図



【特許請求の範囲】

【請求項1】 伝送データを入力信号として受け、入力クロックに基づいて該伝送データをラッチしてフレーム同期の確立と入力伝送データ中のフレーム同期コード中に含まれるビット誤り数を検出するフレーム同期検出部と、

該フレーム同期検出部により検出されたビット誤り数をフレーム毎に積算し、回線誤り率を算出する誤り率算出部と、

伝送クロックを入力信号として受け、該伝送クロックに同期して前記フレーム同期検出部へ前記クロックを出力すると共に、位相が制御信号により掃引可能とされた位相掃引部と、

前記誤り率算出部からの回線誤り率が所定の設定値以上のとき前記位相掃引部の出力クロックの掃引を開始すると共に、前記フレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルを掃引開始し、前記回線誤り率が最小となるように、該クロック位相と論理判定レベルの掃引を行う掃引手段とを有することを特徴とする伝送データ同期方式。

【請求項2】 前記掃引手段は、所定の回線誤り率を設定する誤り率設定部と、前記フレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルを設定すると共に該論理判定レベルが制御信号により掃引可能とされたレベル掃引部と、前記誤り率算出部からの回線誤り率と該誤り率設定部からの設定値とを大小比較し、該回線誤り率が該設定値以上のときは該レベル掃引部と前記位相掃引部の掃引をそれぞれ開始し、該回線誤り率が該設定値未満で、かつ、最小のときに該掃引を停止させる掃引制御部とよりなることを特徴とする請求項1記載の伝送データ同期方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は伝送データ同期方式に係り、特にクロックにより伝送データを検出するために入力伝送データのフレーム同期を確立させる伝送データ同期方式に関する。

【0002】

【従来の技術】 従来より、並列に入力された伝送データと伝送クロックとの位相が適切でなく、フレーム同期が確立していないときにはクロックの位相を変えてフレーム同期を確立し、そのときのクロックを用いて受信した伝送データを検出する伝送データ同期方式が知られている（例えば、特開昭62-76338号公報）。

【0003】 図3は従来の伝送データ同期方式の一例のブロック図を示す。同図において、入力端子1に伝送データが入力され、入力端子2に伝送クロックが入力される。この入力伝送データは例えばパルス符号変調（PCM）されたデータの所定ワード数毎に、固定パターンのフレーム同期コードが少なくとも付加されたフレーム単

位で入力されてフレーム同期検出部3に入力される。

【0004】 一方、伝送データの検出用の伝送クロックが上記の伝送データと並列に入力端子2を介して位相掃引部4に入力される。位相掃引部4は入力伝送クロックに応じたクロックをフレーム同期検出部3に供給する。フレーム同期検出部3は、この入力クロックに従って入力伝送データのフレーム同期をとる。フレーム同期検出部3はフレーム同期が確立しているか否かを示す同期検出信号を掃引制御部5に出力する。

【0005】 掃引制御部5はこの同期検出信号に基づき位相掃引部4の出力クロックの位相掃引動作を制御する。すなわち、伝送路における伝送状態が正常であるときには、入力端子1に入力される伝送データと入力端子2に入力される伝送クロックとの位相関係が適切であるため、フレーム同期検出部3においてフレーム同期が確立している。このときは、位相掃引部4は位相掃引動作を行うことなく、そのときの位相で固定的にクロックを出力する。

【0006】 しかし、上記の伝送データと伝送クロックとの位相関係が適切でないときには、フレーム同期検出部3においてフレーム同期が確立していない。掃引制御部5はこのフレーム同期不確立を示す同期検出信号の入力により、位相掃引部4に対し掃引動作を開始させる制御信号を出力するため、位相掃引部4はフレーム同期検出部3へ入力するクロックの位相を掃引する。

【0007】 これにより、フレーム同期検出部3の入力クロックの位相が漸次変化し、フレーム同期検出部3はこのクロックを用いて入力伝送データのラッチを行い、フレーム同期コードの検出を行う。伝送データとクロックの位相関係が適切でなければ、同期確立は行われなため、位相掃引部4での位相の掃引動作が引き続き行われる。

【0008】 そして、フレーム同期検出部3において伝送データとクロックの位相関係が適切となると同期確立が行われる。これにより、この同期確立検出信号が掃引制御部5に入力され、掃引制御部5は位相掃引部4の掃引動作を停止させる。このようにして、フレーム同期確立状態にあるときの位相掃引部4の出力クロックにより、入力伝送データのラッチを行うことで、データを検出することができる。

【0009】

【発明が解決しようとする課題】 しかるに、上記の従来方式では、伝送データに対するクロックの位相を掃引させるのみであり、フレーム同期検出部3の入力回路の論理判定のスレッシュホールドレベルは固定であるため、図4にaで示す如くデータがコモンモードノイズ等により波形がゆらいだ場合は、伝送路伝搬中に発生するアイバタンの劣化に伴う、1、0の論理判定の誤った検出を抑制することは不可能である。

【0010】 また、フレーム同期確立の有無によりクロ

ック位相の掃引を行う構成であるため、従来方式は伝送データとクロックとの位相関係が適切でなくなったときには必ずフレーム同期の不確立によるデータ欠損が生じてからでないと位相の掃引が開始されないという問題がある。

【0011】本発明は以上の点に鑑みなされたもので、回線誤り率の監視結果に基づいて掃引制御を行うことにより、上記の課題を解決した伝送データ同期方式を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記の目的を達成するため、伝送データを入力信号として受け、入力クロックに基づいて伝送データをラッチしてフレーム同期の確立と入力伝送データ中のフレーム同期コード中に含まれるビット誤り数を検出するフレーム同期検出部と、フレーム同期検出部により検出されたビット誤り数をフレーム毎に積算し、回線誤り率を算出する誤り率算出部と、伝送クロックを入力信号として受け、伝送クロックに同期してフレーム同期検出部へ前記クロックを出力すると共に、位相が制御信号により掃引可能とされた位相掃引部と、誤り率算出部からの回線誤り率が所定の設定値以上のとき前記位相掃引部の出力クロックの掃引を開始すると共に、フレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルを掃引開始し、回線誤り率が最小となるように、クロック位相と論理判定レベルの掃引を行う掃引手段とを有する構成としたものである。

【0013】

【作用】本発明では、誤り算出部により算出された回線誤り率が所定の設定値を越えたときに、掃引手段により位相掃引部の出力クロックの掃引を開始するようにしたため、上記の設定値を選ぶことによりフレーム同期が不確立になる前に出力クロックの位相掃引を行うことができる。また、本発明では誤り算出部により算出された回線誤り率が所定の設定値を越えたときに、掃引手段によりフレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルを掃引開始するようにしたため、回線誤り率を最小とすることができる。

【0014】

【実施例】図1は本発明の一実施例のブロック図を示す。同図中、図3と同一構成部分には同一符号を付し、その説明を省略する。図1において、フレーム同期検出部11はフレーム同期の確立とフレーム同期コード中に含まれるビット誤り数の検出を行い、ビット誤り数を出力する。誤り率算出部12はビット誤り数を所定フレーム周期単位で積算し、それに基づき回線誤り率を推定算出する。

【0015】誤り率設定部13は後述のクロックの位相掃引及びフレーム同期検出部11及び位相掃引部15の各入力回路の論理判定のスレッシュホールドレベルの掃引を開始させるか否かの回線誤り率の閾値に相当する回線誤

り率設定値を出力する。掃引制御部14は誤り率算出部12からの回線誤り率と誤り率設定部13からの設定値とを大小比較し、その比較結果に応じて位相掃引部15及びレベル掃引部16の掃引動作の開始及び停止の制御を行う。

【0016】位相掃引部15は伝送データをラッチするためのクロックを出力すると共に、その出力クロックの位相が掃引制御部14により制御され、かつ、その入力回路の論理判定スレッシュホールドレベルが掃引される構成とされている。また、レベル掃引部16はフレーム同期検出部11及び位相掃引部15の各入力回路の“1”、“0”の論理判定のスレッシュホールドレベルを掃引する。

【0017】次に、本実施例の動作について説明する。入力端子1を介してフレーム同期検出部11に入力された伝送データは、ここで位相掃引部15からのクロックによりラッチされる。フレーム同期検出部11はラッチした入力伝送データのうちフレーム単位に付加されている、既知の固定パターンであるフレーム同期コードを検出し、その検出フレーム同期コードを正しい本来のフレーム同期コードと比較照合してビット誤りのあるビット数（ビット誤り数）を検出して誤り率算出部12へ出力する。

【0018】誤り率算出部12は予め定めた所定フレーム周期単位で上記の入力ビット誤り数を積算し、その積算値から回線誤り率を推定算出する。すなわち、上記のビット誤り数の積算値は伝送データ全体のビット誤り数の積算値ではなく、フレーム同期コードのビット誤り数の積算値であるから、正確には回線誤り率とはいえないが、フレーム同期コードのビット誤り率とデータのビット誤り率とは通常、ほぼ同じであるから、誤り率算出部12により算出されるビット誤り率は実質的に回線誤り率を示しているといえる。

【0019】掃引制御部14は上記の誤り率算出部12により算出された回線誤り率と、誤り率設定部13からの設定値とを大小比較し、回線誤り率が設定値以上のときは回線品質状態が劣化していると判断して位相掃引部15及びレベル掃引部16へ掃引を開始させる制御信号を出力する。この場合、位相掃引部15及びレベル掃引部16の両方同時に掃引開始させてもよいし、順次に掃引開始させてもよい。

【0020】レベル掃引部16は掃引制御部14からのレベル制御信号によりフレーム同期検出部11及び位相掃引部15の各入力回路の論理判定のスレッシュホールドレベルを最小値から最大値まで単位時間毎に順次変化させていく（掃引する）。また、位相掃引部15は掃引制御部14からの位相制御信号により、入力端子2を介して入力される伝送クロックに同期して生成したクロックの位相を最小値から最大値まで順次変化させる（掃引させる）。

【0021】これにより、フレーム同期検出部11において伝送データのラッチタイミングなどが順次変化し、それとともない誤り率算出部12により算出される回線誤り率も順次変化する。このようにして、掃引制御部14は上記の掃引の結果、回線誤り率が誤り率設定部13よりの設定値未満で、かつ、最小値の回線誤り率が得られるレベル制御信号と位相制御信号を検出し、以後その検出したレベル制御信号と位相制御信号を固定的に出力する（すなわち、掃引を停止する）。

【0022】これにより、図2に示すように、データの波形（包絡線）がコモンモードノイズ等によりゆらいだとしても、上記のレベル制御信号により同図に一点鎖線で示す如く、論理判定のスレッシュホールドレベルが掃引された後回線誤り率が最小となるレベルに設定されるため、同期状態を維持することができる。

【0023】誤り率算出部12により算出された回線誤り率が誤り率設定部13よりの設定値以上になった場合は、再び掃引制御部14はレベル掃引部16及び位相制御部15に対して掃引を開始させる。そして、この掃引の結果、掃引制御部14において回線誤り率が最小になったと判定されたときは掃引を再び停止する。以下、上記と同様の動作が繰り返される。

【0024】このように、本実施例によれば、誤り算出部12により算出された回線誤り率が誤り率設定部13よりの所定の設定値を越えたときに、掃引制御部14により位相掃引部15の出力クロックの位相の掃引と、レベル掃引部16によるフレーム同期検出部11及び位相掃引部15の各入力回路の論理判定レベルの掃引を開始することにより、フレーム同期が不確立になる前に出力クロックの位相の設定と論理判定レベルの設定とができる。また、本実施例では誤り算出部12により算出された回線誤り率が最小となるように、上記の掃引を行うようにしているため、回線誤り率を常に最適にすることが

できる。

【0025】

【発明の効果】以上説明したように、本発明によれば、誤り算出部により算出された回線誤り率が所定の設定値を越えたときに、掃引手段により位相掃引部の出力クロックの掃引とフレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルの掃引を開始することにより、フレーム同期が不確立になる前に最適なデータとクロックの位相及び論理判定レベルの設定ができ、よって、フレーム同期の不確立に伴うデータ欠損を事前に回避することができる。

【0026】また、本発明によれば、誤り算出部により算出された回線誤り率が所定の設定値を越えたときに、掃引手段によりフレーム同期検出部及び位相掃引部の各入力回路の論理判定レベルを掃引開始し、回線誤り率を最小にするようにしたため、伝送路伝搬中に発生するアイパターンの劣化に伴い、最適な位置へ論理判定レベルの設定ができ、これにより回線誤り率の改善を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1の要部の動作説明図である。

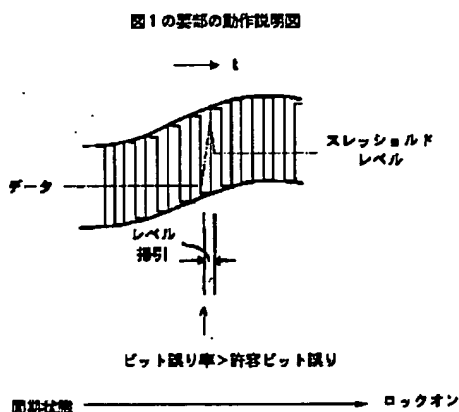
【図3】従来の一例のブロック図である。

【図4】図3の課題説明図である。

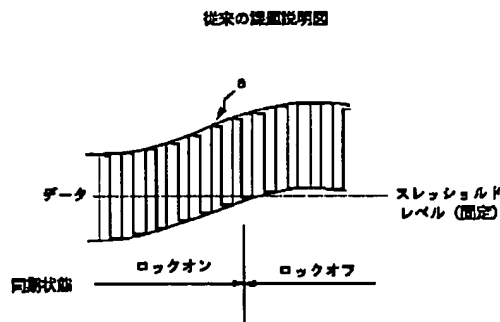
【符号の説明】

- 1 伝送データ入力端子
- 2 伝送クロック入力端子
- 11 フレーム同期検出部
- 12 誤り率算出部
- 13 誤り率設定部
- 14 掃引制御部
- 15 位相掃引部
- 16 レベル掃引部

【図2】

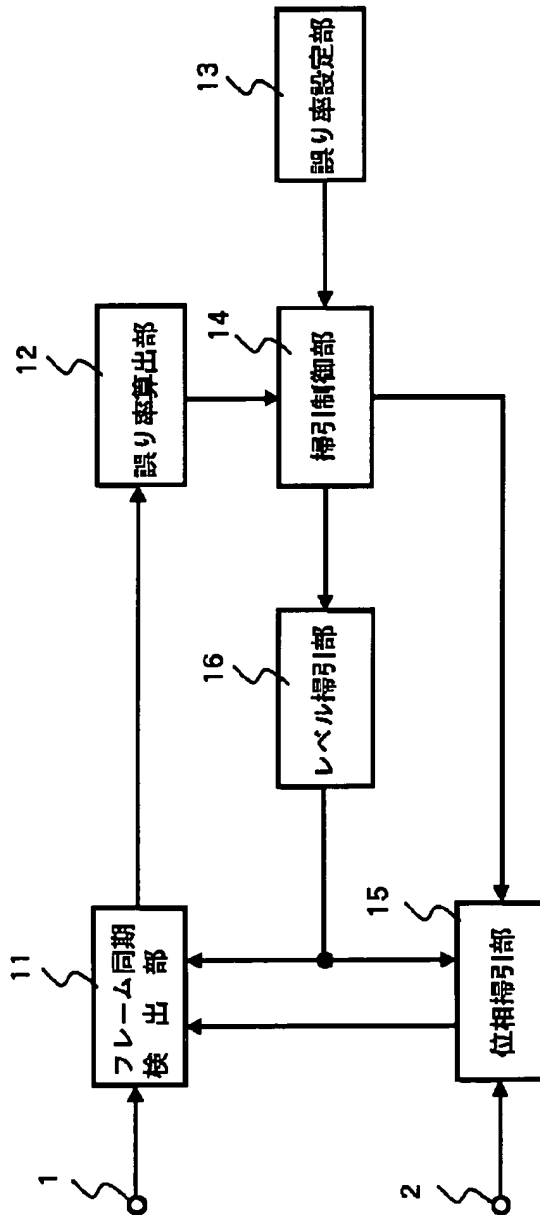


【図4】



【図1】

本発明の一実施例のブロック図



【図3】

従来の一例のブロック図

